

CLIPPEDIMAGE= JP405021798A

PAT-NO: JP405021798A

DOCUMENT-IDENTIFIER: JP 05021798 A

TITLE: THIN-FILM TRANSISTOR

PUBN-DATE: January 29, 1993

INVENTOR-INFORMATION:

NAME

MUROTA, JUNICHI

ONO, SHOICHI

MIKOSHIBA, NOBUO

KATO, MANABU

IWASAKI, CHISATO

KASAMA, YASUHIKO

ASSIGNEE-INFORMATION:

NAME

ALPS ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP03023611

APPL-DATE: February 18, 1991

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/347,257/616

ABSTRACT:

PURPOSE: To increase the mobility faster than those in conventional transistors by forming a semiconductor layer having a channel portion which is composed of a silicon mixed crystal layer containing germanium and a silicon layer superimposed over the mixed crystal layer.

CONSTITUTION: A gate dielectric film is formed on the surface of a gate electrode 3. A silicon-germanium mixed crystal layer 11 is formed on the dielectric film by decomposing a mixed gas of SiH_4 - GeH_4 . A silicon layer 12 is further formed on this mixed crystal layer by decomposing only on SiH_4 gas. This is then patterned, so that there is formed a semiconductor layer 10 consisting of the silicon-germanium mixed crystal layer 11 and the silicon layer 12. Since the silicon layer grows epitaxially with the silicon-germanium mixed crystal layer 11 as a nucleus, it turns into a

polycrystalline substance at a temperature of not more than 600°C. Hence, the semiconductor layer 10 can constitute a layer which is faster in mobility than a semiconductor layer consisting only of an amorphous silicon layer.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-21798

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 H

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平3-23611

(22)出願日 平成3年(1991)2月18日

(71)出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72)発明者 室田 淳一

宮城県仙台市青葉区土樋1-6-23

(72)発明者 小野 昭一

宮城県仙台市青葉区柏木二丁目4-55

(72)発明者 御子柴 宜夫

宮城県仙台市太白区八木山本町2-30-18

(72)発明者 加藤 学

宮城県仙台市太白区八木山南3-12-8

(74)代理人 弁理士 志賀 正武 (外2名)

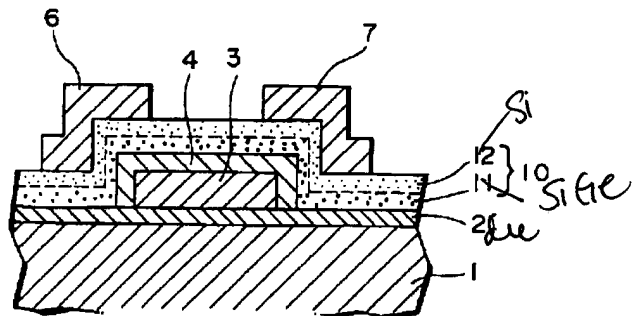
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【構成】 絶縁体上1に、ゲート電極3と、チャンネル部を有する半導体層10と、ソース電極6、ドレイン電極7とを備えた薄膜トランジスタにおいて、前記のチャンネル部を有する半導体層10を、ゲルマニウムを含むシリコン混晶層11と、その上に積層されたシリコン層12とで形成した。ゲルマニウムを含むシリコン混晶層11は600℃以下の温度で優れた結晶性を示すので、この上のシリコン層は、600℃以下の温度でも混晶層11を核としてエピタキシャル成長し、多結晶体になる。

【効果】 低融点ガラス基板の耐熱温度範囲である600℃以下の温度で形成しても、動作速度が速い薄膜トランジスタを実現できる。



【特許請求の範囲】

【請求項1】 絶縁体上にゲート電極と、このゲート電極上に形成されたチャンネル部を有する半導体層と、この半導体層上に形成されたソース電極およびドレイン電極とを備えた薄膜トランジスタにおいて、前記チャンネル部を有する半導体層が、ゲルマニウムを含むシリコン混晶からなる層と、その上に積層されたシリコンからなる層とから形成されたものであることを特徴とする薄膜トランジスタ。

【請求項2】 前記ゲルマニウムを含むシリコン混晶からなる層が点在していることを特徴とする請求項1記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路あるいは液晶ディスプレイのマトリックス・スイッチ等に使用される薄膜トランジスタに関する。

【0002】

【従来の技術】図11は、従来の薄膜トランジスタの構造を示すものである。

【0003】図中、符号1は低融点ガラス等の絶縁体からなる基板1である。この基板1の上には SiO_2 、リンドープガラス、 Si_3N_4 等からなるパシベーション膜2が形成されている。パシベーション膜2上の一部には、ゲート電極3が設けられている。このゲート電極3には、リンやボロンをドーパした多結晶シリコンあるいはW、Mo、Cr等の低抵抗金属が用いられる。ゲート電極3の上には、ゲート絶縁膜4が被覆されている。このゲート絶縁膜4は、ゲート電極3を酸化することにより、あるいはゲート電極3上に SiO_2 、 Si_3N_4 等を成膜することにより形成される。ゲート絶縁膜4上には、アモルファスシリコンからなる半導体層5がゲート絶縁膜4を覆って形成されている。さらに半導体層5の図中左上、右上には、それぞれソース電極6、ドレイン電極7が設けられている。このソース電極6、ドレイン電極7には、オーミック電極が形成できるリンやボロンをドーパした多結晶シリコンまたはアモルファスシリコンが用いられる。

【0004】

【発明が解決しようとする課題】このような従来の薄膜トランジスタにあっては、基板1に低融点ガラスを用いているため、基板が変形しない600℃以下の温度で製造する必要があった。ところが半導体層5を600℃以下の温度で形成すると、半導体層5をなすシリコンはアモルファス状態となってしまう。このため従来の薄膜トランジスタは動作速度が遅いという欠点があった。

【0005】さらに、電子が電流キャリアとなるNチャンネルトランジスタでなく正孔が電流キャリアとなるPチャンネルトランジスタでは、シリコンの正孔の移動度が電子の移動度に比べて小さいため、動作速度がNチャ

ンネルトランジスタよりも遅いという欠点があった。

【0006】本発明は前記事情に鑑みてなされたもので、600℃以下の温度で製造可能であり、動作速度の速い薄膜トランジスタを提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1の薄膜トランジスタでは、ゲルマニウムを含むシリコン混晶からなる層と、その上に積層されたシリコンからなる層とでチャンネル部を有する半導体層を形成することを課題解決の手段とした。

【0008】請求項2の薄膜トランジスタでは、前記ゲルマニウムを含むシリコン混晶を点在させることを課題解決の手段とした。

【0009】ここで、ゲルマニウムを含むシリコン混晶は、化学式 SiGe で表せるものでCVD法によって形成できる。このゲルマニウムを含むシリコン混晶を形成させるには、 SiH_4 （シラン）と GeH_4 （ゲルマン）の混合ガスを用い、基板温度500～550℃の条件で反応させると良い。

20 【0010】また前記チャンネル部は電子または正孔が移動する部分であり、トランジスタの能動部である半導体層の中でゲート電極近傍に形成される部分である。前記ゲルマニウムを含むシリコン混晶は、このチャンネル部に設けることが望ましい。

【0011】さらに、ゲルマニウムを含むシリコン混晶とその上に積層されたシリコンからなる層は、必要に応じてボロンまたはリン等の不純物を添加してP型またはN型の層を形成することにより、回路上必要とされる薄膜トランジスタの特性に調整することができる。

30 【0012】

【作用】本発明の薄膜トランジスタの半導体層をなすゲルマニウムを含むシリコン混晶層は、600℃以下の低温で優れた結晶性を示す。この上に形成されたシリコン層は結晶化したゲルマニウムを含むシリコン混晶層を核としてエピタキシャル成長するので、600℃以下の温度でも多結晶体になる。従ってこの半導体層は、従来のアモルファスシリコン層のみからなる半導体層に比べて移動度が高くなる。

40 【0013】また前記ゲルマニウムを含むシリコン混晶層は、それ自体高い移動度を有している。このため、この点からもアモルファスシリコン層のみを用いた場合より半導体層の移動度が高くなる。

【0014】

【実施例】以下、図面を参照して本発明の薄膜トランジスタを詳しく説明する。なお前記従来例と同一構成部分には、同一符号を付して説明を簡略化する。

【0015】（実施例1）図1は、本発明の薄膜トランジスタの一実施例を示すものである。

50 【0016】この薄膜トランジスタでは、低融点ガラスからなる基板1上にパシベーション膜2と、ゲート電極

3

3と、ゲート絶縁膜4と、半導体層10と、ソース電極6と、ドレイン電極7が形成されている。前記半導体層10は、ゲート絶縁膜4側に形成されたシリコン・ゲルマニウム混晶層11とその上に形成されたシリコン層12とから構成されている。

【0017】この薄膜トランジスタを製造する方法を図6ないし図10に沿って説明する。

【0018】まず、図6に示すようにガラス基板1として低融点ガラス基板を用意した。この基板1上に化学気相成長法(以下、CVD法と略記する)により窒化珪素を形成し、図7に示すパッシベーション膜2とした。さらにこの上にリンをドーパした多結晶シリコンをCVD法により成膜後、パターニングを行い、図8に示すようなゲート電極3を形成した。次いでゲート電極3に酸化処理を施して、図9に示すようにゲート電極3表面にゲート絶縁膜4を形成した。

【0019】次いでこの上に、CVD法により温度550℃、圧力27Paの条件下で、 SiH_4 - GeH_4 の混合ガスを分解させてシリコン・ゲルマニウム混晶層11を成膜した。さらにこの上にCVD法により温度550℃、圧力13Paの条件下で、 SiH_4 ガスのみを分解させてシリコン層12を形成した後、パターニングした。こうして、図10に示すようなシリコン・ゲルマニウム混晶層11およびシリコン層12からなる半導体層10を形成した。

【0020】さらにこの上にリンをドーパした多結晶シリコンをCVD法により成膜後、パターニングを行うことにより、ソース電極6およびドレイン電極7を設けて、図1に示すような薄膜トランジスタを形成した。

【0021】以上説明したように、この薄膜トランジスタの半導体層10をなすシリコン・ゲルマニウム混晶層11は、600℃以下の低温で優れた結晶性を示す。この上に形成されたシリコン層12は結晶化したシリコン・ゲルマニウム混晶層11を核としてエピタキシャル成長するので、600℃以下の温度でも多結晶体になる。従ってこの半導体層10は、従来のアモルファスシリコン層のみからなる半導体層5に比べて移動度が高い層になる。

【0022】従ってこの薄膜トランジスタによれば、低融点ガラス基板の耐熱温度範囲である600℃以下でも従来より動作速度が高い薄膜トランジスタを製造できる。

【0023】またこの薄膜トランジスタの半導体層10を形成するシリコン・ゲルマニウム混晶層11は、それ自体でも高い移動度を有している。

【0024】従ってこの薄膜トランジスタによれば、この点でも動作速度が速い薄膜トランジスタを実現できる。

【0025】(実施例2)図2は、本発明の薄膜トランジスタの第2実施例を示すものである。

4

【0026】この実施例が第1実施例と異なる点は、半導体層10内のゲート絶縁膜4近傍側に連続層ではなく点在した状態でシリコン・ゲルマニウム混晶13が形成されている点である。

【0027】このシリコン・ゲルマニウム混晶13の大きさおよび個数は、CVD法において、 SiH_4 - GeH_4 の混合ガス比および処理条件を調整することにより、制御可能であった。

【0028】このようにシリコン・ゲルマニウム混晶13が分散している場合にも、600℃以下の処理温度ですでに結晶化したシリコン・ゲルマニウム混晶13を核としてシリコン層12中のシリコン粒子が結晶化し、さらに粒成長するため、粒径が大きく、欠陥の少ない多結晶シリコンが形成される。

【0029】従って、この実施例の薄膜トランジスタにおいても、低融点ガラス基板の耐熱温度範囲である600℃以下の温度で製造可能で、動作速度が速い薄膜トランジスタを提供できる。

【0030】(他の実施例)図3ないし図5に本発明の薄膜トランジスタの他の構造例を示す。

【0031】図3に示す薄膜トランジスタが第1実施例のトランジスタの構造と異なる点は、パッシベーション膜2上に設けられたゲート電極3を覆うように形成されたゲート絶縁膜4と、その上に設けられたソース電極6およびドレイン電極7との上に半導体層10が形成されている点である。

【0032】図4に示す薄膜トランジスタが第1実施例のトランジスタの構造と異なる点は、パッシベーション膜2上に形成された半導体層10の両端にソース電極6およびドレイン電極7が設けられ、前記半導体層10、ソース電極6およびドレイン電極7上には絶縁膜14が形成され、その上にはゲート電極3が形成されている点である。

【0033】図5に示す薄膜トランジスタが図4に示す実施例のトランジスタの構造と異なる点は、パッシベーション膜2上に形成された半導体層10の両端がソース電極6、ドレイン電極7となっており、このソース電極6、ドレイン電極7の横に配線膜15が設けられている点である。

【0034】図3ないし図5に示した構造の薄膜トランジスタにおいても、他の実施例のものと同様の作用、効果が得られる。

【0035】

【発明の効果】以上説明したように本発明の薄膜トランジスタは、半導体層がゲルマニウムを含むシリコン混晶層と、その上に設けられたシリコン層とからなるものである。ゲルマニウムを含むシリコン混晶層は、600℃以下の低温で優れた結晶性を示す。この上に形成されたシリコン層は結晶化したゲルマニウムを含むシリコン混晶層を核としてエピタキシャル成長するので、600℃

以下の温度でも多結晶体になる。よってこの半導体層は、従来のアモルファスシリコン層のみからなる半導体層に比べて移動度が高くなる。

【0036】従って本発明の薄膜トランジスタによれば、低融点ガラス基板の耐熱温度範囲である600℃以下の温度でも動作速度が速い薄膜トランジスタを製造できる。

【0037】また本発明の薄膜トランジスタは、半導体層内にそれ自体高い移動度を示すゲルマニウムを含むシリコン混晶層を有している。

【0038】従って本発明の薄膜トランジスタによれば、この点からも動作速度が速い薄膜トランジスタを実現できる。

【図面の簡単な説明】

【図1】第1実施例の薄膜トランジスタを示す断面図である。

【図2】第2実施例の薄膜トランジスタを示す断面図である。

【図3】本発明の薄膜トランジスタの他の実施例を示す断面図である。

【図4】本発明の薄膜トランジスタの他の実施例を示す断面図である。

【図5】本発明の薄膜トランジスタの他の実施例を示す

断面図である。

【図6】第1実施例の薄膜トランジスタの製造方法を説明するための断面図である。

【図7】第1実施例の薄膜トランジスタの製造方法を説明するための断面図である。

【図8】第1実施例の薄膜トランジスタの製造方法を説明するための断面図である。

【図9】第1実施例の薄膜トランジスタの製造方法を説明するための断面図である。

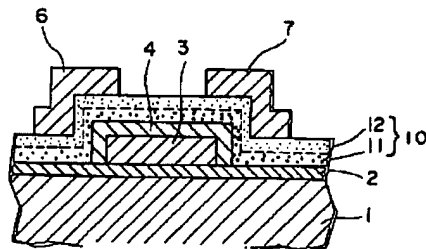
10 【図10】第1実施例の薄膜トランジスタの製造方法を説明するための断面図である。

【図11】従来の薄膜トランジスタを示す断面図である。

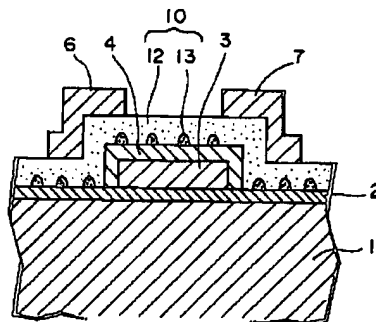
【符号の説明】

- 1 基板
- 3 ゲート電極
- 5 半導体層
- 6 ソース電極
- 7 ドレイン電極
- 20 10 半導体層
- 11 シリコン・ゲルマニウム混晶層
- 12 シリコン層
- 13 シリコン・ゲルマニウム混晶

【図1】



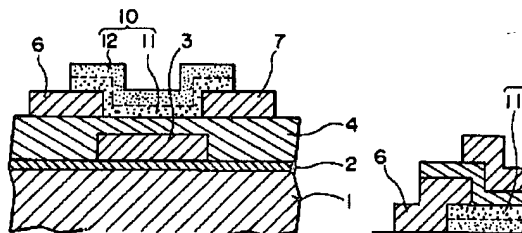
【図2】



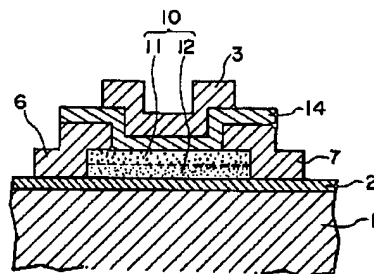
【図6】



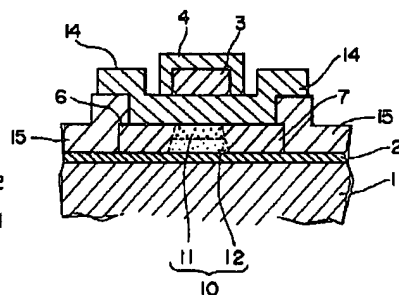
【図3】



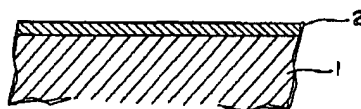
【図4】



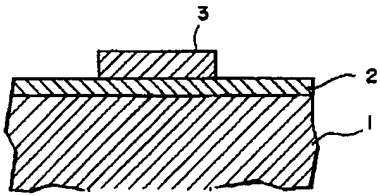
【図5】



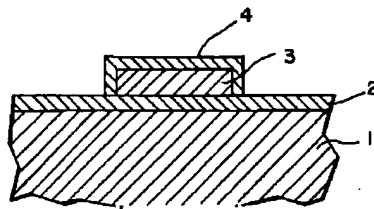
【図7】



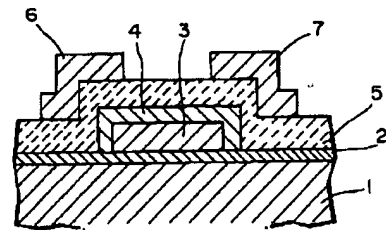
【図8】



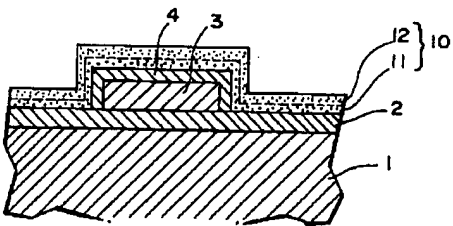
【図9】



【図11】



【図10】



フロントページの続き

(72)発明者 岩崎 千里
東京都大田区雪谷大塚町1番7号 アルプ
ス電気株式会社内

(72)発明者 笠間 泰彦
東京都大田区雪谷大塚町1番7号 アルプ
ス電気株式会社内